

007716094

WPI Acc No: 1988-350026/198849

Multilayer hybrid IC substrate mfr. for forming resistor - forming  
resistors on surface and interior of multilayer interconnection substrate

NoAbstract Dwg 0/2

Patent Assignee: HITACHI LTD (HITA )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
-----------	------	------	-------------	------	------	------

JP 63261796	A	19881028	JP 8795148	A	19870420	198849 B
-------------	---	----------	------------	---	----------	----------

Priority Applications (No Type Date): JP 8795148 A 19870420

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
-----------	------	-----	----	----------	--------------

JP 63261796	A		9		
-------------	---	--	---	--	--

Title Terms: MULTILAYER; HYBRID; IC; SUBSTRATE; MANUFACTURE; F  
ORMING;

RESISTOR; FORMING; RESISTOR; SURFACE; INTERIOR; MULTILAYER;  
INTERCONNECT;

SUBSTRATE; NOABSTRACT

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-261796

⑤ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

④ 公開 昭和63年(1988)10月28日

H 05 K 3/46

Q-7342-5F

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 多層ハイブリッドIC基板の製造方法

⑯ 特 願 昭62-95148

⑰ 出 願 昭62(1987)4月20日

⑱ 発 明 者 鈴木 伸 次 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

⑲ 発 明 者 伊 藤 光 子 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

⑳ 発 明 者 種 井 平 吉 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

㉑ 発 明 者 戸 崎 博 己 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

㉒ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉓ 代 理 人 弁理士 小川 勝男 外1名

## 明 細 書

## 1. 発明の名称

多層ハイブリッドIC基板の製造方法

## 2. 特許請求の範囲

1. ガラスセラミック・グリーンシートを基体とする多層配線体の表面とその直下の回路層に抵抗体を取り込まれた積層体を形成し、

当該積層体を熱処理して焼結し両層の抵抗体の抵抗値をレーザトリミングにより調整し、

当該焼結体上に絶縁体ペースト、導体ペースト抵抗体ペーストを印刷し、熱処理して回路層を形成し、

レーザトリミングにより、表面層の抵抗体及び前記焼結体上に形成した内部の抵抗体の抵抗値を調整すること特徴とする多層ハイブリッドIC基板の製造方法。

2. 特許請求の範囲第1項において、予め形成される抵抗体を取り込んだ積層体を構成するガラスセラミック絶縁体及び抵抗体は、その材料成分であるガラスの軟化温度が、当該積層体上に

形成される新たな回路層の絶縁体抵抗体及び導体における材料成分であるガラスの軟化温度よりも高いことを特徴とする多層ハイブリッドIC基板の製造方法。

3. 特許請求の範囲第2項において、予め形成される抵抗体を取り込んだ積層体を構成するガラスセラミック絶縁体及び抵抗体はその材料成分であるガラスの軟化温度が700°C～800°Cの範囲にあり、積層体の熱処理温度が800°C～900°Cであり、

当該積層体上に形成される新たな回路層の絶縁体、抵抗体及び導体はその材料成分であるガラスの軟化温度が500°C～600°Cの範囲にあり、これらの熱処理温度が550°C～650°Cであることを特徴とする多層ハイブリッドIC基板の製造方法。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は抵抗体が多層配線基板の表面及びその内部に形成した多層ハイブリッドIC基板の製造

方法に係り、特に抵抗値精度の高い抵抗体を形成するに好適な多層ハイブリッドIC基板の製造方法に関する。

〔従来の技術〕

ガラスセラミック・グリーンシートを用いて作成する多層回路基板の製造方法においては、ガラスセラミック・グリーンシートの熱処理温度を $800 \sim 900^{\circ}\text{C}$ とすることができるため、ガラスと導電性粉末（例えば $\text{RuO}_2$ 、 $\text{Bi}_2\text{Ru}_2\text{O}_7$ 、 $\text{PbRuO}_3$ 等）を主成分とする厚膜抵抗体をガラスセラミック多層配線体と同時に熱処理することが可能であり、抵抗体を多層体の表面及び内部に印刷形成して一体で熱処理して作成する小形・高密度多層ハイブリッドIC基板が知られている。（例えば、特開昭58-17651号公報又はProc of ISHM1986 pp426～437）

この種の多層回路基板において、基板表面の抵抗体はレーザトリミング等の抵抗値調整法により例えばその抵抗値精度を $\pm 0.5\%$ に取めることが可能である。一方、内部に形成した抵抗体の抵抗値

- 2) 当該積層体を熱処理して焼結し、ここで両層の抵抗体の抵抗値をレーザトリミングにより調整し、
- 3) 当該焼結体上に絶縁体ペースト、導体ペースト、抵抗体ペーストをスクリーン印刷し、熱処理して新たな回路層を形成し、
- 4) レーザトリミングにより、新たな回路層の表面の抵抗体および、前記焼結体の表面に形成した内部の抵抗体の抵抗値を調整することにより達成される。

上記方法において、め抵抗体をその表面と内部に配設した多層配線基板を構成するガラスセラミック絶縁体、及び抵抗体の構成材料成分であるガラスの軟化温度が、新たに形成される回路層の絶縁体、抵抗体及び導体の構成材料成分であるガラスの軟化温度より高い材料により構成している点にも特徴を有する。

更に具体的に えば、

- a) 予め抵抗体をその表面と内部に配設した多層配線基板を構成するガラスセラミック絶縁体及

## 特開昭63-261796 (2)

精度 $\pm 2\%$ の調整方法として、特開昭60-223150号公報では高電圧パルスを印加することが示されている。この方法による抵抗値精度は $\pm 5\%$ とされているが、被調整抵抗体のみを配線回路内で独立して取扱うことができず、また、配線間の絶縁性の破壊の点から高集積多層回路基板への適用には問題がある。

〔発明が解決しようとする問題点〕

上記従来技術では、内部に形成した抵抗体の抵抗値を高精度に調整する方法がなく、精度の高い抵抗体は基板表面にのみしか形成できないという問題があった。

本発明の目的は、抵抗値精度の高い抵抗体を内部にも形成できる小形・高密度多層ハイブリッドIC基板の製造方法を提供することにある。

〔問題点を解決するための手段〕

上記目的は、

- 1) ガラスセラミック・グリーンシートを基体として作成した多層配線体の表面とその直下の回路層に抵抗体が組込まれた積層体を形成し、

び、抵抗体は、夫々その構成材料成分であるガラスの軟化温度を $700 \sim 800^{\circ}\text{C}$ の範囲として、熱処理温度を $800 \sim 900^{\circ}\text{C}$ とし、

- b) 新たに形成される回路層の絶縁体・抵抗体・導体は、夫々その構成材料成分であるガラスの軟化温度を $500 \sim 600^{\circ}\text{C}$ の範囲として、熱処理温度を $550 \sim 650^{\circ}\text{C}$ とすることにより達成できる。

〔作用〕

この製造方法と材料の組合において、予め $800 \sim 900^{\circ}\text{C}$ で熱処理して形成した多層基板の抵抗体及びガラスセラミック絶縁体は、そのガラスの軟化温度が $700 \sim 800^{\circ}\text{C}$ であるため、この多層基板上に新たに形成する $550 \sim 650^{\circ}\text{C}$ の範囲の熱処理温度ではそれぞれのガラスの再溶融がない。このため、熱処理履歴から受ける抵抗値の変化は $\pm 5\%$ の変動に留まる。

そこで、第1回目の抵抗値調整時に、予め形成した多層基板の表面及び表面層直下の回路層の抵抗体の抵抗値を $\pm 0.5\%$ の精度で調整しておき、第

## 特開昭63-261796(3)

2 回目の抵抗値調整時に、新たに形成した回路層表面の抵抗体及び光に形成した多層基板の表面に当る内部の抵抗体の抵抗値を±0.5%の精度で調整することにより、内部に抵抗体回路層を2層に形成し、下方の抵抗体では精度±6%以内、上方の抵抗体では精度±0.5%以内にする事ができる。

なお、完成した抵抗体3層の基板の表面から、即ち第1回目の抵抗値調整の工程を省略し、第2回目の抵抗値調整の工程で内部の2層の抵抗体の抵抗値を調整することは容易に着想できるが、調整される抵抗体の抵抗値ばらつきが大きく、設定抵抗値からの偏差が大きい場合、抵抗体の切断幅が大きくなるため、例えば内部抵抗体の上方投影面内には抵抗体や配線等上層回路パターンを形成することができなくなり、回路パターンレイアウト上の制約が大きくなるものとなり、抵抗体の内部形成の効果、即ち基板の小形化の効果が激減する。

## (実施例)

以下、本発明の実施例について説明する。

## 実施例1.

セルローズと有機溶剤：例えばトリデカノールの溶融粘性物)を加え、混練して第1のガラスセラミックスのペーストを作成した。

また、 $RuO_2$ を導電性粉末とし、酸化物重量換算で $SiO_2$  67%,  $B_2O_3$  23%,  $Al_2O_3$  3%,  $Na_2O$  3%,  $K_2O$  4%の軟化温度が710°Cのガラス粉末、抵抗値の温度係数調整剤(例えば $TiO_2$ ,  $Mn_2O_4$ 等)を抵抗体特性を得るために所定割合で混合し、有機ビヒクルを加えて第1の抵抗体ペーストとした。

まず、5枚のグリーンシートに配線回路パターンに従って上下方向の配線形成に必要なグイア(導通路)のためのスルーホールが0.2mmのポンチによつて開孔される。次にAg系導電ペーストをスクリーン印刷してシートのスルーホールへのペーストの充填とシート上への配線回路が配設される。この時、第5層用のシートには、抵抗体用電極も形成しておく。次いで調整した抵抗ペーストを同様にスクリーン印刷して、当該電極間に抵抗膜を塗布した。

第1図に本発明の基本的な製造プロセスフローを示し、第2図に完成された多層ハイブリッドIC基板の一例を示す。

第1ガラス質絶縁体1-1内に導体材料により配線や抵抗体用電極の導体部2-1が形成され、この多層配線体の表面直下の回路層に抵抗体3-1表面に抵抗体3-2が形成された多層部の上に、第2のガラス質絶縁体2-1が形成され、この絶縁体表面に導体2-2、抵抗体3-3が配設されており、最上部には表面回路の保護コート6が形成されている。この多層配線の配線層間はグイア4により導通がとられている。

次に、抵抗値精度の高い抵抗体を内部に形成する具体的方法について説明する。この基板は基本的に軟化温度が700~800°Cのガラスを構成成分とする材料系から成り、その表面及び表面直下の回路層に抵抗体が形成された多層配線部と、軟化温度が500~600°Cのガラスを構成成分とする材料系から成る多層配線部の上方に形成される上層回路層とからなる。

ここで、回路パターンが印刷塗布されたシートを回路層構成に従つて積み重ね、100°C-500°C/cmの加圧下で圧着して配線積層体を形成した。

次いでこの積層体表面上に第1のガラスセラミックペーストを印刷して膜厚45μmの絶縁層を塗布した。この時上方回路への導通路形成のためのスルーホールを絶縁層内にペーストの未塗布部として形成しておく。乾燥後、Ag系導電ペーストの印刷により、当該スルーホールへの導体の充填と配線及び抵抗体用電極を配設しておき、調整した抵抗体ペーストを印刷して抵抗体をその表面と表面直下の回路層に形成した多層配線体を形成した。

## 2) 熱処理

作成した抵抗体付き多層配線体を850°C-10分をピークとする厚膜焼成用ベルト炉で熱処理し、抵抗体を2層形成した多層配線基板とした。

## 3) 抵抗値の調整

ここで、表面及び表面直下に形成した抵抗体をレーザトリミングし、抵抗値精度±0.5%に収

## 特開昭63-261796(4)

めた。

## 4) 上層回路の形成

酸化物重量換算で $\text{SiO}_2$  10%,  $\text{Al}_2\text{O}_3$  26%,  $\text{ZnO}$  56%,  $\text{BaO}$  7%の軟化温度が $560^\circ\text{C}$ のガラス粉末に、 $\text{Al}_2\text{O}_3$ 粉末7wt%を加えて混合し、有機ビヒクルを加えて混練して第2のガラスセラミック絶縁体ペーストを作成し、これを既に熱処理し、その抵抗体の抵抗値を調整した多層配線体の表面にスクリーン印刷し、膜厚 $45\mu\text{m}$ の絶縁層を塗布する。この時表面回路層のためのスルーホールを形成しておく。

次いで、重量比でAg粉末88%とpd粉末12%の混合物に、酸化物重量換算で $\text{SiO}_2$  5%,  $\text{pbO}$  75%,  $\text{ZnO}$  11%,  $\text{B}_2\text{O}_3$  11%の軟化温度が $510^\circ\text{C}$ のガラス粉末12wt%を加え、有機ビヒクルを加えて第2の導体ペーストとした。これをスクリーン印刷して絶縁層内のスルーホールへの導体の充填、表面配線及び部品接続用端子、抵抗体用電極の形成を行なった。さらに $\text{RuO}_2$ を導電性粉末とし、酸化物重量換算で $\text{SiO}_2$  20%,  $\text{pbO}$  64%,

$\text{B}_2\text{O}_3$  15%,  $\text{Al}_2\text{O}_3$  1%の軟化温度が $500^\circ\text{C}$ のガラス粉末、抵抗値の温度係数調整剤との混合物に有機ビヒクルを加えて第2の抵抗ペーストとし、これを新たに形成した回路層の表面に印刷塗布した。

## 5) 熱処理

抵抗体を3層に形成した多層体を $580^\circ\text{C}$  - 10分をピークとする厚膜焼成用ベルト炉で熱処理し、上層の回路層を形成した。

## 6) 抵抗値の調整

ここで、表面に形成した抵抗体とともに、上層回路形成のための熱処理によつて生じた表面層直下の第2抵抗体の抵抗値を $\pm 0.5\%$ の精度で調整した。この時第1抵抗体層の抵抗体(3-1)を表面からレーザトリミングすることは可能であるが、 $90\mu\text{m}$ 厚の絶縁層を介しての調整では、常用以上の出力を要し、基板表面にクラックを生ずるため、中間の抵抗体の抵抗値調整に留める方がよい。ここで第1抵抗体層の抵抗体の抵抗値精度は $\pm 6\%$ 以下、第2及び表面層の抵抗

体の抵抗値精度は $\pm 0.5\%$ である。

その後、基板表面回路の保護及び部品接続用はんだのレジスト材として、基板表面にレジンを塗布し、硬化して保護コードを形成した。

以上の回路基板の製造プロセスにおいて、

- ① 第1のガラスセラミック粉のグリーンシートを印刷用基体とし、この上に第1の導体ペースト、第1のガラスセラミック絶縁ペーストを交互に印刷して多層配線体を形成し、更にこの上に第1の抵抗ペースト、第1の導体ペースト及び第1の絶縁体ペーストの印刷により2層の抵抗体回路を形成すること、
- ② 配線のみが多層化部分を予め熱処理した後、この上に第1の抵抗体ペースト、第1の導体ペースト及び第1の絶縁体ペーストを用いて抵抗体2層の回路を形成すること、
- ③ 上層の回路形成において、第2の(軟化温度が低いガラス系の)絶縁体、導体をそれぞれ熱処理すること、
- ④ 新たに形成した回路層の表面に抵抗体を形

成せず、内部にのみ抵抗体を形成すること、

- ⑤ 基板保護コートとして熱処理温度が上層回路層用材料の最も低い軟化点より一層低いガラス材を用いること、
- 等は本発明で対応できるものである。

以上本発明の実施例によれば、軟化点の異なるガラスセラミック絶縁材料、抵抗体用ガラス材料、2種の導体材料及びコート材料を用い、熱処理工程が少なくとも2工程となるという材料、及びプロセスについての煩雑な点があるものの、例えば $\pm 0.5\%$ 精度の抵抗体を表面のみならずその内部にも1層形成でき、また、 $\pm 6\%$ 精度の抵抗体層を更にその下層に形成でき、従来内部に形成した抵抗体の抵抗値が $\pm 5\%$ であつたことによつて生じる問題点つまり、高精度抵抗体を表面にのみ形成するため、表面の部品実装密度が上らないという問題を解決し、基板の小型・高 度化を達成することができた。

## (発明の効果)

本発明によれば、抵抗値精度が $\pm 6\%$ 、 $\pm 0.5\%$

## 特開昭63-261796(5)

の抵抗体を内部にしかも2層に形成することができるようになるため、配線の多層化とともにハイブリッドIC基板の小型・高密度化が達成できる効果がある。

## 4. 図面の簡単な説明

第1図は本発明に係る多層ハイブリッドIC基板製造の工程を示すプロセスフロー図である。第2図は本発明の一実施例を示す断面図である。

- 1-1-軟化温度が高いガラスセラミック絶縁体(1) 1-2-軟化温度が低いガラスセラミック絶縁体(2) 2-1-多層配線部用導体(1) 2-2-上層回路用導体(2) 3-1-内部の第1層抵抗体 3-2-内部の第2層抵抗体 3-3-表面抵抗体 5-部品接続用端子 4-グイア 6-保護コート

